



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0041505  
Application Number

출원 년 월 일 : 2003년 06월 25일  
Date of Application JUN 25, 2003

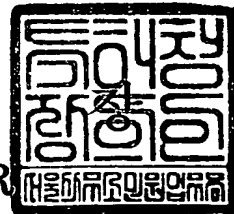
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0013  
**【제출일자】** 2003.06.25  
**【발명의 명칭】** 반도체소자의 캐패시터 하부전극 형성 방법  
**【발명의 영문명칭】** METHOD FOR FABRICATION OF CAPACITOR BOTTOM ELECTRODE OF SEMICONDUCTOR DEVICE  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 권일영  
**【성명의 영문표기】** KWON, Il Young  
**【주민등록번호】** 700708-1025518  
**【우편번호】** 134-060  
**【주소】** 서울특별시 강동구 둔촌동 둔촌주공아파트 139-406  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 3 면 3,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 32,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 저비용과 간단한 공정을 통해 캐패시터 하부전극 형성시 리닝(Leaning)을 방지할 수 있는 반도체소자의 캐패시터 하부전극 형성 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 저유전율막을 이용하여 캐패시터 하부전극 형성용 희생막을 형성하는 단계; 상기 희생막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각 마스크로 상기 희생막을 식각하여 하부전극 영역을 정의하는 단계; 상기 정의된 하부전극 영역을 포함한 프로파일을 따라 전도막을 증착하는 단계; 상기 전도막 상에 포토레지스트를 도포하는 단계; 상기 희생막이 노출될 때까지 상기 전도막과 상기 포토레지스트를 제거하여 격리된 하부전극을 형성하는 단계; 및  $O_2$  플라즈마를 이용하여 상기 희생막을 제거하는 단계를 포함하는 반도체소자의 캐패시터 하부전극 형성방법을 제공한다.

**【대표도】**

도 4b

**【색인어】**

캐패시터, 하부전극, 표면 장력, 리닝(Leaning), 저유전율막, 희생막.

## 【명세서】

## 【발명의 명칭】

반도체소자의 캐패시터 하부전극 형성 방법{METHOD FOR FABRICATION OF CAPACITOR BOTTOM ELECTRODE OF SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1a 내지 도 1c는 통상적인 반도체 소자의 하부전극 형성 공정을 도시한 단면도.

도 2는 전술한 도 1c의 하부전극 형성이 완료된 단면을 복수의 하부전극을 포함하도록 도시한 평면도.

도 3은 리닝에 의한 하부전극 간의 단락을 개략적으로 도시한 단면도.

도 4a 내지 도 4c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

40 : 기판      41 : 제1절연막

42 : 제1플러그      43 : 제2절연막

44 : 비트라인      45 : 식각정지막

46 : 제3절연막      48 : 제2플러그

49 : 희생막      50 : 포토레지스트 패턴

51 : 희생막의 선택적인 제거      52 : 캐패시터 하부전극 형성 영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체소자 제조 방법에 관한 것으로, 특히 반도체 메모리소자의 캐패시터용 하부전극 형성 방법에 관한 것이다.
- <13> 반도체소자의 셀 사이즈가 미세화됨에 따라 필요한 전하저장용량을 확보하기 위하여 다양한 방향에서의 기술 개발이 이루어지고 있다. 그 중의 한가지 방법이 캐패시터의 형상을 3차원 구조로 형성하는 것으로, 이러한 3차원 형상의 캐패시터의 대표적인 예로 오목형(Concave) 구조의 캐패시터가 있다.
- <14> 도 1a 내지 도 1c는 통상적인 반도체 소자의 하부전극 형성 공정을 도시한 단면도로서, 이를 참조하여 통상의 하부전극 형성 공정을 살펴본다.
- <15> 먼저, 도 1a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(10) 상에 산화막계열의 제1절연막(11)을 형성한 후, 제1절연막(11)을 관통하여 기판(10)에 콘택된 제1플러그(12)를 형성하는 바, 제1플러그(12)는 기판(10)의 소스/드레인 등의 불순물 확산영역에 전기적으로 도통되도록 연결(콘택)된다.
- <16> 여기서, 제1절연막(11)은 보통 TEOS(TetraEthyl Ortho Silicate)막을 이용하고, 제1플러그(12)는 폴리실리콘을 사용하며 도면에 도시되지는 않았지만, 통상 제1플러그(12) 상부에 오믹 콘택과 하부전극 물질의 기판(10)으로의 확산을 방지하기 위한 목적으로 Ti/TiSi<sub>2</sub>/TiN 구조의 배리어막을 포함한다.

- <17> 이어서, 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 등의 평탄화 공정을 실시하여 제1플러그(12)와 제1절연막(11) 상부를 평탄화시킨 다음, 결과물 상에 제2절연막(13)을 형성한다.
- <18> 이어서, 제1플러그(12)와 오버랩되지 않는 제2절연막(13) 상에 비트라인(14)을 형성한 후, 비트라인(14)을 포함한 전체 프로파일을 따라 질화막 계열의 제1식각정지막(15)을 얇게 증착한다.
- <19> 제1식각정지막(15)은 후속 캐패시터의 스토리지노드 콘택 형성을 위한 식각 공정에서 비트라인(14)의 손실을 방지하기 위한 것이며, 특히 산화막 계열의 제3절연막(16)과의 식각선택비를 얻기 위해 질화막 계열 예컨대, 실리콘질화막 또는 실리콘산화질화막을 사용한다.
- <20> 제1식각정지막(15) 상에 산화막 계열의 제3절연막(16)을 두텁게 증착한 다음, 전면식각(Etchback) 또는 CMP 공정을 통해 그 상부를 평탄화시킨다.
- <21> 계속해서, 스토리지노드 콘택 형성을 위한 포토레지스트 패턴(17)을 형성한다.
- <22> 이어서, 포토레지스트 패턴(17)을 식각마스크로 제3절연막(16)과 제1식각정지막(15) 및 제2절연막(13)을 순차적으로 식각하여 제1플러그(12)를 노출시키는 콘택홀(도시하지 않음)을 형성한다.
- <23> 이 때, 제3절연막(16)을 식각하고 제1식각정지막(15)에서 1차 식각멈춤을 하고난 후, 제1식각정지막(15)과 제2절연막(13)을 다시 식각하는 바, 이렇게 식각 공정의 단계 별로 식각 레시피(Recipe)를 변화시킴으로써 원하는 식각 프로파일을 얻을 수 있다.

- <24> 이어서, 전면에 폴리실리콘 등의 플러그 물질을 증착하여 콘택홀을 매립하여 제1플러그(12)와 전기적으로 콘택되도록 제2플러그(18)를 형성한 후, CMP 공정을 통해 그 상부를 평탄화시킨다. 여기서, 제2플러그(18)는 스토리지노드 콘택 플러그라 할 수 있다.
- <25> 이어서, 후속 캐패시터 하부전극 형성을 위한 식각 공정시 제2플러그(18)의 어택을 방지하기 위한 질화막 계열의 제2식각정지막(19)을 형성한 다음, 식각정지막(19) 상에 캐패시터의 수직 높이를 결정하여 그 전극용량에 영향을 미치는 산화막 계열의 캐패시터 형성을 희생절연막(20)을 형성한 다음, 하부전극 형성을 위한 포토레지스트 패턴(21)을 형성한다.
- <26> 도 1b는 오목형 캐패시터 하부전극 형성을 위해 희생절연막(20) 식각하기 위한 포토레지스트 패턴(21)이 형성된 단면을 나타낸다.
- <27> 포토레지스트 패턴(21)을 식각마스크로 희생절연막(20)을 식각하는 바, 식각정지막(19)에서 식각멈춤을 한 다음, 식각정지막(19)을 제거하여 제2플러그(18) 표면을 노출시키는 오픈부를 형성한다.
- <28> 여기서, 희생절연막(20)과 포토레지스트 패턴(21) 사이에 폴리실리콘 등을 이용하여 하드마스크를 사용하기도 한다.
- <29> 포토레지스트 패턴(21)을 제거한 다음, 희생절연막(20)이 식각되어 오픈된 프로파일 즉, 오픈부가 형성된 전체 프로파일을 따라 캐패시터 하부전극용 전도막을 증착하여 제2플러그(18)와 콘택시킨 다음, 오목한 구조의 전도막 사이를 충분히 매립할 수 있을 정도로 포토레지스트를 도포한 다음, 희생절연막(20) 표면이 노출될 때까지 전면식각 또는 CMP 공정을 통해 전도막을 평탄화 및 격리시킨다.

- <30> 이어서, 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함) 또는 불산(HF) 등을 이용한 습식 딥-아웃(Dip-out) 공정을 통해 남아있는 회생절연막(20)을 제거함으로써, 도 1c와 같은 오목한 형상의 하부전극(22) 구조를 형성한다.
- <31> 이어서, 잔류하는 포토레지스트를 건식 스트립 공정에 의해 제거하는 바,  $O_2/CF_4/H_2O/N_2$  또는  $O_2/N_2$ 를 이용하여 식각한 다음, 솔벤트(Solvent)를 이용하여 세정함으로써 식각시 발생한 부산물과 잔류하는 포토레지스트를 제거한다.
- <32> 이어서, 식각에 의한 하부전극(22)의 저하된 특성을 회복하도록 열처리를 실시하며, 다시 유전체막 형성 전에 BOE 등을 이용하여 짧게 세정 공정을 실시하여 추가로 불순물을 제거한다.
- <33> 도면에 도시되지는 않았지만 하부전극(22) 상에 유전체막과 상부전극을 형성함으로써 캐패시터 형성을 위한 일련의 공정이 완료된다.
- <34> 도 2는 전술한 도 1c의 하부전극 형성이 완료된 단면을 복수의 하부전극을 포함하도록 도시한 평면도이다.
- <35> 참고로, 도 2는 종래기술에 따른 하부전극의 평면적 배열을 나타낸다.
- <36> 도 2를 참조하면, 복수의 하부전극(22)이 일방향으로 배열되어 있고, 비트라인(14) 사이에 복수의 제2플러그(18)가 매트릭스 형태로 배치되어 있으며, 대응하는 각 제2플러그(18)와 오버랩되며, 제2플러그(18)와 콘택되는 복수의 하부전극(22)이 배치되어 있다.
- <37> 한편, 현재까지는 사각형 또는 장축과 단축의 비가 큰 타원 형태의 마스크 패턴(실제 마스크 패턴의 평면 형상이 타원이 아닌 사각형 형태이나 식각 과정에 의해 식각되는 프로파일이 타원형으로 됨)을 이용하여 회생절연막(20)을 식각하고 오목형(또는 실린더형) 하부전극(22)



패턴을 형성하였다. 이 경우 도 1c의 하부전극(22) 형성을 위한 희생절연막(20) 딥-아웃 공정에서 식각 용액인 HF나 BOE의 계면 장력에 의해 하부전극(22)이 리닝(Leaning)되어 이웃하는 하부전극(22)과 전기적으로 단락되는 문제점이 발생하게 된다.

<38> 도 3은 전술한 리닝에 의한 하부전극 간의 단락(23)을 개략적으로 도시한 단면도이며, 이러한 현상은 고집적화될 수록 즉, 하부전극(22) 간의 간격(d)이 좁아지고 이웃하는 면적이 클수록 또한 하부전극(22)의 폭이 작아지고 그 높이가 높아질 수록 더욱 심각하게 나타난다.

<39> 또한, 수직 방향의 치수 증가는 하부전극 형성 이후의 공정 예컨대, 금속 콘택, 배리어막 형성 등의 공정에서 갭-필 특성 등 공정 마진을 감소시키고 접촉 저항을 증가시키게 된다. 아울러, 하부전극 형성을 위한 공정이 너무 복잡하여(하부전극 형성시 통상 식각정지막 형성과 PSG막 형성과 PE-TEOS막 형성과 하드마스크 형성과 포토레지스트 패턴 형성의 이련을 공정을 사용함), 공정의 TAT와 비용 증가를 초래한다.

<40> 따라서, 저비용으로 간단한 공정에 의해 하부전극 간의 단락 문제를 해결할 수 있는 근본적인 해결책이 필요하다.

#### 【발명이 이루고자 하는 기술적 과제】

<41> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로서, 저비용과 간단한 공정을 통해 캐패시터 하부전극 형성시 리닝(Leaning)을 방지할 수 있는 반도체소자의 캐패시터 하부전극 형성 방법을 제공하는 것을 그 목적으로 한다.

## 【발명의 구성 및 작용】

<42>       상기 목적을 달성하기 위하여 본 발명은, 기판 상에 저유전율막을 이용하여 캐패시터 하부전극 형성용 희생막을 형성하는 단계; 상기 희생막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 희생막을 식각하여 하부전극 영역을 정의하는 단계; 상기 정의된 하부전극 영역을 포함한 프로파일을 따라 전도막을 증착하는 단계; 상기 전도막 상에 포토레지스트를 도포하는 단계; 상기 희생막이 노출될 때까지 상기 전도막과 상기 포토레지스트를 제거하여 격리된 하부전극을 형성하는 단계; 및  $O_2$  플라즈마를 이용하여 상기 희생막을 제거하는 단계를 포함하는 반도체소자의 캐패시터 하부전극 형성방법을 제공한다.

<43>       본 발명은 현재 사용되고 있는 PSG 또는 TEOS 등의 산화막 대신 저유전율막 특히, 유기 계열의 저유전율막을 사용함으로써, 종래의 습식 케미컬에 의한 딥-아웃을 건식 공정으로 전환함으로써 리닝이 발생하지 않는 실리더형의 하부전극을 형성한다. 또한, 저유전율막을 사용하게 되면, 식각정지막이면서 습식 딥-아웃시 배리어로 사용되던 질화막(약 800 Å)을 생략할 수 있고, 식각마스크로 사용되는 폴리실리콘막 형성 공정을 생략할 수 있어 공정 단순화 및 비용적인 측면에서 유리하다.

<44>       이하, 본 발명이 속하는 기술분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

- <45> 도 4a 내지 도 4c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도로서, 이를 참조하여 본 발명의 하부전극 형성 공정을 살펴본다.
- <46> 먼저, 도 4a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(40) 상에 산화막계열의 제1절연막(41)을 형성한 후, 제1절연막(41)을 관통하여 기판(40)에 콘택된 제1플러그(42)를 형성하는 바, 제1플러그(42)는 기판(40)의 소스/드레인 등의 불순물 확산영역에 전기적으로 도통되도록 연결(콘택)된다.
- <47> 여기서, 제1절연막(41)은 보통 TEOS막을 이용하고, 제1플러그(42)는 폴리실리콘을 사용하여 도면에 도시되지는 않았지만, 통상 제1플러그(42) 상부에 오믹 콘택과 하부전극 물질의 기판(40)으로의 확산을 방지하기 위한 목적으로 Ti/TiSi<sub>2</sub>/TiN 또는 Ti/TiN 구조 등의 배리어막을 포함한다.
- <48> 이어서, CMP 등의 평탄화 공정을 실시하여 제1플러그(42)와 제1절연막(41) 상부를 평탄화시킨 다음, 결과물 상에 제2절연막(43)을 형성한다.
- <49> 이어서, 제1플러그(42)와 오버랩되지 않는 제2절연막(43) 상에 비트라인(44)을 형성한 후, 비트라인(44)을 포함한 전체 프로파일을 따라 질화막 계열의 식각정지막(45)을 얇게 증착한다.
- <50> 식각정지막(45)은 후속 캐패시터의 스토리지노드 콘택 형성을 위한 식각 공정에서 비트라인(44)의 손실을 방지하기 위한 것이며, 특히 산화막 계열의 제3절연막(46)과의 식각선택비를 얻기 위해 질화막 계열의 막 예컨대, 실리콘질화막 또는 실리콘산화질화막을 사용한다.
- <51> 식각정지막(45) 상에 산화막 계열의 제3절연막(46)을 두텁게 증착한 다음, 전면식각 또는 CMP 공정을 통해 그 상부를 평탄화시킨다.

- <52> 계속해서, 제3절연막(46) 상에 캐패시터 플러그 형성을 위한 포토레지스트 패턴(47)을 형성한다.
- <53> 이어서, 포토레지스트 패턴(47)을 식각마스크로 제3절연막(46)과 식각정지막(45) 및 제2절연막(43)을 순차적으로 식각하여 제1플러그(42)를 노출시키는 콘택홀(도시하지 않음)을 형성한다.
- <54> 이 때, 제3절연막(46)을 식각하고 식각정지막(45)에서 1차 식각멈춤을 하고난 후, 제1식각정지막(45)과 제2절연막(43)을 다시 식각하여 수직 구조의 식각 프로파일을 얻을 수 있다.
- <55> 이어서, 전면에 폴리실리콘 등의 전도성 물질을 증착하여 콘택홀을 매립하여 제1플러그(62)와 전기적으로 접속되도록 제2플러그(48)를 형성한 후, CMP 공정을 통해 그 상부를 평탄화시킨다. 여기서, 제2플러그(48)는 캐패시터의 하부전극과 제1플러그(42)를 전기적으로 접속시켜주므로 스토리지노드 콘택 플러그라 할 수 있다.
- <56> 이어서, 제2플러그(48)가 형성된 전면에 캐패시터의 수직 높이를 결정하여 그 전하용량에 영향을 미치는 캐패시터 하부전극 형성을 희생막(49)을 증착한다. 여기서, 희생막(49)으로 저유전율막을 사용하는 바, 유기 계열 또는 무기 계열 모두 사용이 가능하다.
- <57> 이어서, 희생막(49) 상에 캐패시터 하부전극 형성을 위한 포토레지스트 패턴(50)을 형성한 다음, 도 4b에 도시된 도면부호 '51'과 같이 포토레지스트 패턴(50)을 식각마스크로 희생막(49)을 식각하여 제2플러그(48)를 노출시킴으로써 캐패시터 하부전극 형성 영역(52)을 정의한 다음, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴(50)을 제거한다.

- <58> 이 때, 식각 단면의 수직한(Vertical) 프로파일을 얻기 위해  $N_2$ ,  $C_2H_4$  등의 하이드로-카본(Hydro-carbon) 계열 또는  $C_4F_8$ ,  $C_5F_8$ ,  $C_4F_6$  등의 하이드로-플로로(Hydro-fluoro) 계열을 가스를 이용하며, 포토레지스트 패턴(50)과의 식각선택비를 얻기 위해 소량의  $O_2$  가스를 첨가하는 것이 바람직하다.
- <59> 이어서, 희생막(50)이 식각되어 오픈된 프로파일 즉, 오픈부가 형성된 전체 프로파일을 따라 캐패시터 하부전극용 전도막을 증착하여 제2플러그(48)와 콘택시킨 다음, 오목한 구조의 전도막 사이를 충분히 매립할 수 있을 정도로 포토레지스트를 도포한 다음, 희생막(49) 표면이 노출될 때까지 전면식각 또는 CMP 공정을 통해 전도막을 평탄화 및 격리시킨다.
- <60> 하부전극(52)용 물질로는 기존의 퍼니스(Furnace)를 이용하여 폴리실리콘 등을 증착하는 방식이 아닌 저온 증착이 가능한 원자층증착(Atomic Layer Deposition; 이하 ALD라 함) 방식을 이용하여 폴리실리콘, 텅스텐, TiN, 텅스텐 실리사이드 등을 단독 또한 조합한 형태를 사용하는 것이 바람직하다.
- <61> 평탄화시에는 CMP 또는 에치백 공정을 이용한다. 에치백 공정시 사용되는 플라즈마 가스의 첫번째로는,  $Cl_2$  또는  $BCl_3$ 를 기본으로 하되, 후속의 희생막(49) 제거시  $O_2$  가스를 이용하므로 공정 시간 단축을 위해  $O_2$  가스를 첨가하여 사용하는 것이 바람직하다.
- <62> 에치백 공정시 사용되는 플라즈마 가스의 첫번째로는, 텅스텐 또는 텅스텐 실리사이드 에치백시 통상적으로 사용되는  $SF_6/N_2$ 를 기본으로 하되, 후속의 희생막(49) 제거시  $O_2$  가스를 이용하므로 공정 시간 단축을 위해  $O_2$  가스를 첨가하여 사용하는 것이 바람직하다.

- <63> 이어서, 종래의 습식 딥-아웃이 아닌 플라즈마를 이용하는 건식의 방식을 이용한다. 이때,  $O_2$  가스를 이용하는 바,  $O_2$ 는 특히 유기 계열의 저유전율막 제거에 용이하다. 아울러, 표면처리를 위해  $O_2$  가스에  $N_2$ ,  $H_2$ ,  $CF_4$  또는  $NF_3$  등의 가스를 추가하는 것이 바람직하다.
- <64> 따라서, 도 4c와 같은 오목한 형상(3차원적으로 실린더 형상)의 하부전극(52) 구조를 형성한다.
- <65> 이하, 전술한 바와 같이 본 발명에서 제안하는 방식과 종래의 방식을 비교하여 살펴본다.
- <66> 크게, 식각 관점(하부전극을 증착하고 분리한 후 실린더를 형성하기 위해)과 분리막을 제거하는 과정의 두가지로 나눌 수 있다.
- <67> 우선, 식각 관점을 살펴 보면, 종래기술의 경우 산화막이라는 견고한 물질을 식각해야하므로 포토레지스트로는 패터닝이 사실상 불가능하여 폴리실리콘 등으로 하드마스크를 사용한다. 또한, 산화막은 플라즈마 내의 이온에 의한 물리적 충격이 있어야만 식각할 수 있는 물질이므로, 오픈부가 형성되는 저면은 폭이 좁아지게 되며, 이를 이온 섉도영 효과(Ion shadowing effect)라 한다.
- <68> 그러므로,  $0.13\mu m$  이하의 최소 선폭을 갖는 반도체소자 기술에서는 제3절연막(46)으로 PSG와 PE-TEOS의 이중 산화막 구조를 사용하며, 습식 케미컬을 이용하여 오픈부의 저면의 폭을 넓혀준다. 또한, 폴리실리콘 하드마스크를 제거해야 하는 별도의 공정이 필요하다.
- <69> 반면, 본 발명에서 제안하는 방식은 저유전율막이라는 산화막에 비해 견고함이 떨어지는 물질을 사용하게 되므로 폴리실리콘과 같은 하드마스크가 필요하지 않게 된다. 또한, 저유전율

막의 식각 공정은 산화막의 식각 공정과는 달리 케미컬 식각 특성이 강하므로 콘택 저면의 면적 확보가 용이하다.

<70> 하부전극 패턴 형성 후 희생막(49)을 제거하는 방식을 살펴 보면, 종래기술의 경우 희생막(49)인 산화막을 제거하기 위해 케미컬을 이용한 습식 딥-아웃 공정을 진행하지만, 본 발명의 경우에는  $O_2$  가스의 플라즈마를 이용한다.

<71> 따라서, 습식 딥-아웃시 표면 장력에 의해 하부전극이 리닝되는 문제점을 해결할 수 있다. 따라서, 하부전극의 리프팅에 의한 하부전극 간의 전기적 단락 현상을 방지할 수 있다.

<72> 이어서, 잔류하는 포토레지스트를 건식 스트립 공정에 의해 제거하는 바,  $O_2/CF_4/H_2O/N_2$  또는  $O_2/N_2$ 를 이용하여 식각한 다음, 솔벤트를 이용하여 세정함으로써 식각시 발생한 부산물과 잔류하는 포토레지스트를 제거한다.

<73> 이어서, 식각에 의한 하부전극(52)의 저하된 특성을 회복하도록 열처리를 실시할 수도 있으며, 이 때에는 다시 유전체막 형성 전에 BOE 등을 이용하여 짧게 세정 공정을 실시하여 추가로 불순물을 제거하는 공정이 수반된다.

<74> 한편, MPS 공정을 적용한 하부전극(52)을 형성하는 경우 폴리실리콘을 증착한 다음, MPS 성장을 위한 적절한 온도와 압력 조건을 통해 하부전극(52)의 안쪽면에(Inner cylinder type)만 MPS를 성장시킨 후 CMP 공정을 실시한다.

<75> 도면에 도시되지는 않았지만 하부전극(52) 상에 유전체막과 상부전극을 형성함으로써 캐패시터 형성을 위한 일련의 공정이 완료된다.

<76> 전술한 바와 같이 이루어지는 본 발명에서는, 오목형(실린더형) 캐패시터 하부전극을 형성함에 있어서, 캐패시터 형성용 희생막으로 저유전율막을 사용함으로써, 하드마스크 형성 공정과 식각정지막 형성 공정을 생략할 수 있어 공정 단순화 측면에서 유리하며, 아울러, 희생막 제거시  $O_2$  플라즈마를 이용한 건식 공정을 적용할 수 있어, 습식 딥-아웃에 의한 하부전극의 리닝과 리프팅 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<77> 이상에서 본 발명의 기술 사상을 바람직한 실시예에 따라 구체적으로 기술하였으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<78> 상기와 같이 이루어지는 본 발명은, 실린더형 하부전극 형성시 하부전극의 리프팅에 따른 전기적 단락 방지하며, 공정 단순화를 이룰 수 있어, 궁극적으로 반도체소자의 수율 및 생산성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.



**【특허청구범위】****【청구항 1】**

기판 상에 저유전율막을 이용하여 캐패시터 하부전극 형성용 희생막을 형성하는 단계;

상기 희생막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 희생막을 식각하여 하부전극 영역을 정의하는 단계;

상기 정의된 하부전극 영역을 포함한 프로파일을 따라 전도막을 증착하는 단계;

상기 전도막 상에 포토레지스트를 도포하는 단계;

상기 희생막이 노출될 때까지 상기 전도막과 상기 포토레지스트를 제거하여 격리된 하부전극을 형성하는 단계; 및

O<sub>2</sub> 플라즈마를 이용하여 상기 희생막을 제거하는 단계

를 포함하는 반도체소자의 캐패시터 하부전극 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 희생막을 제거하는 단계에서, 상기 O<sub>2</sub> 플라즈마에 N<sub>2</sub>, H<sub>2</sub>, CF<sub>4</sub> 또는 NF<sub>3</sub> 중 어느 하나의 가스를 이용한 플라즈마를 더 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 하부전극 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 전도막은, 원자층 증착 방식을 이용한 텅스텐막, 텅스텐 실리사이드, TiN막 또는 폴리실리콘막 중 적어도 하나의 막을 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 하부전극 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 전도막과 상기 포토레지스트를 제거하는 단계에서,  $\text{Cl}_2$  또는  $\text{BCl}_3$  를 기본 가스로 하고, 여기에  $\text{O}_2$  가스를 더 포함하여 여기된 플라즈마를 이용하는 것을 특징으로 하는 반도체소자의 캐패시터 하부전극 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 전도막과 상기 포토레지스트를 제거하는 단계에서,  $\text{SF}_6/\text{N}_2$ 를 기본 가스로 하고, 여기에  $\text{O}_2$  가스를 더 포함하여 여기된 플라즈마를 이용하는 것을 특징으로 하는 반도체소자의 캐패시터 하부전극 형성 방법.



【청구항 6】

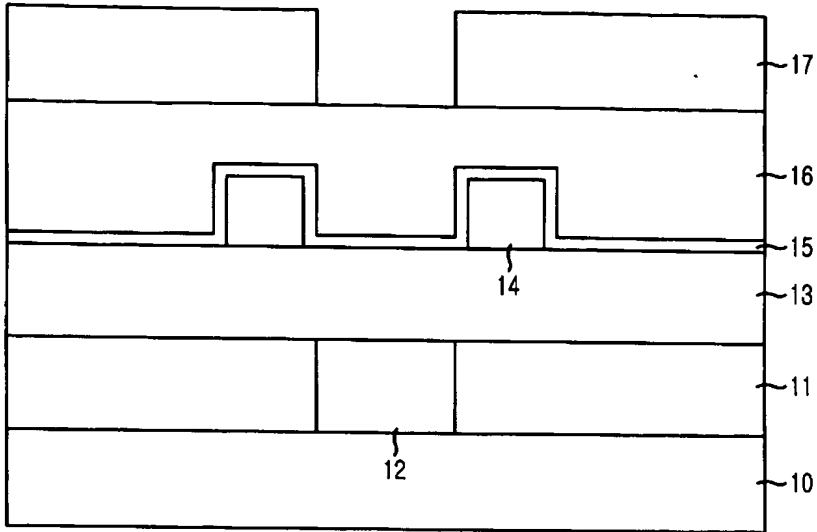
제 1 항에 있어서,

상기 하부전극은, 실린더 형상을 갖는 것을 특징으로 하는 반도체소자의 캐패시터 하부  
전극 형성 방법.

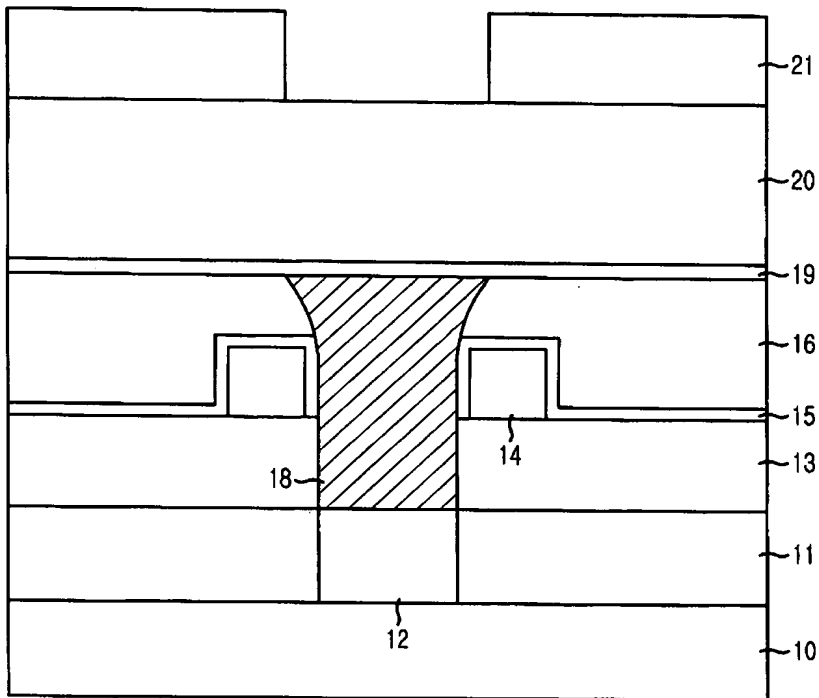


【도면】

【도 1a】

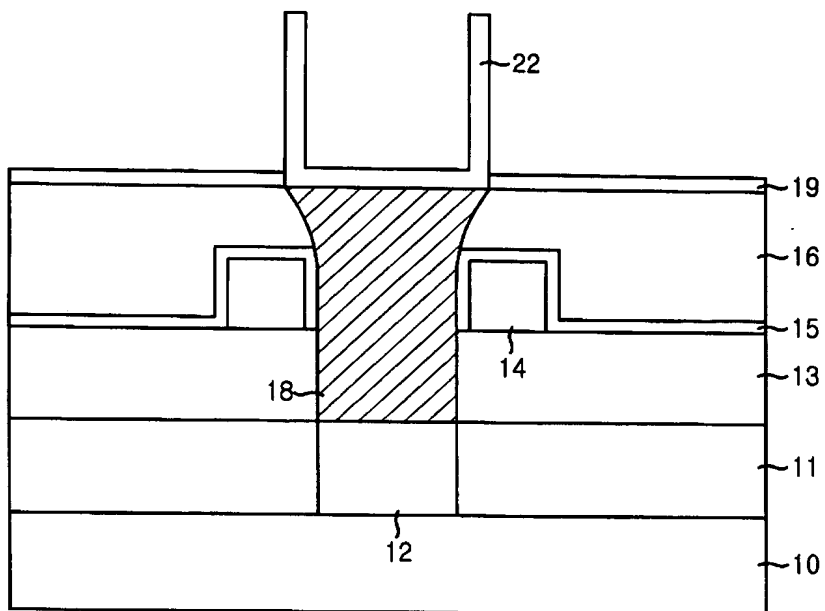


【도 1b】

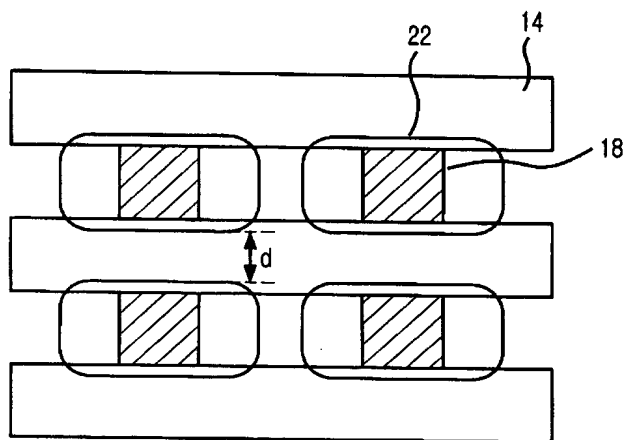




【도 1c】

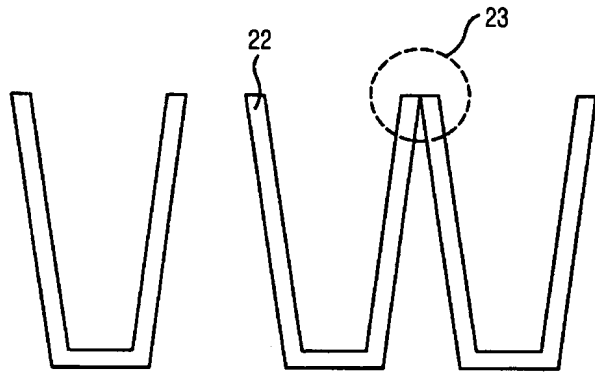


【도 2】

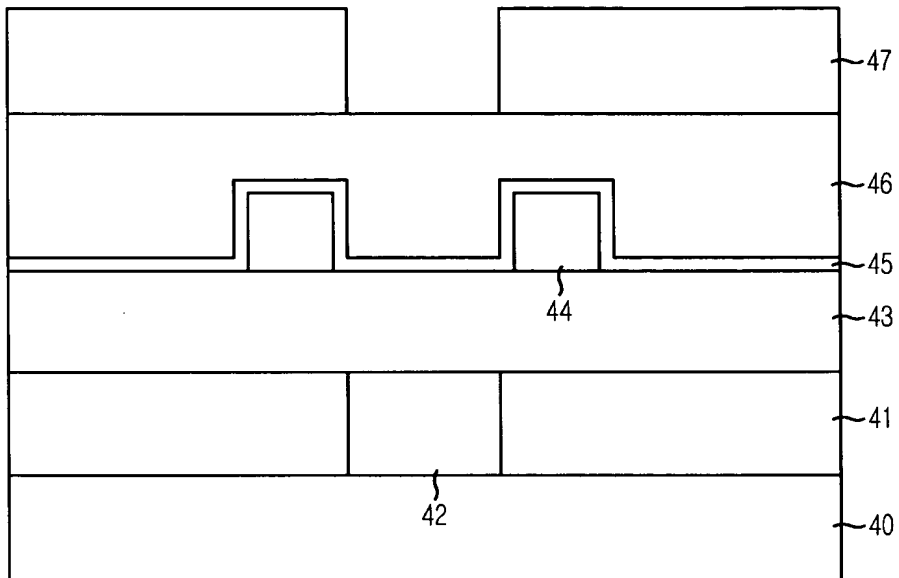




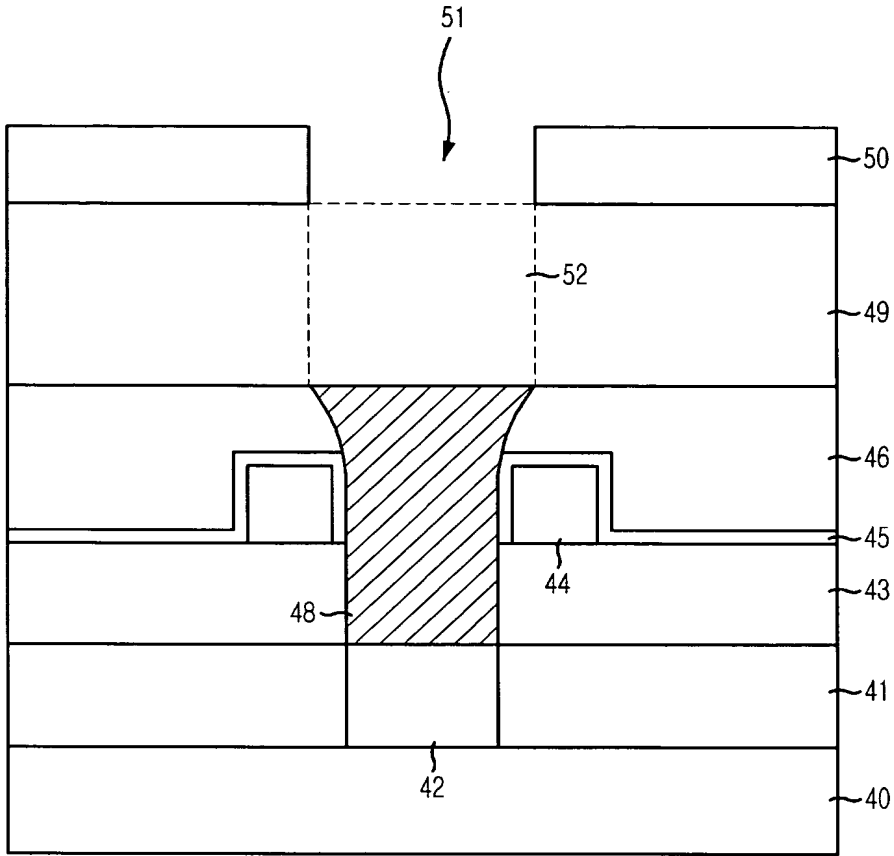
【도 3】



【도 4a】



【도 4b】



【도 4c】

